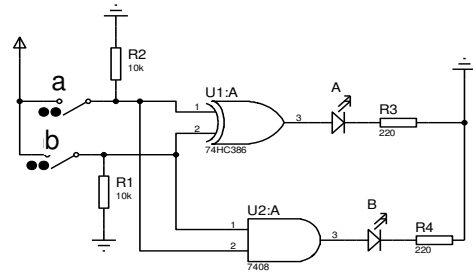


Exercice N°1 :

Soit le montage suivant :

- 1°) Donner les équations des sorties S et R en fonction des entrées a et b.
- 2°) Quelle est la fonction réalisée par ce circuit ?



Exercice N°2 :

Un additionneur complet est un dispositif disposant de 3 entrées (a, b et r_{in}) et de 2 sorties (S et r_{out}).

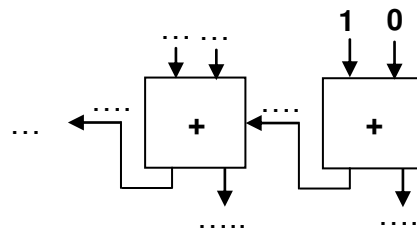
S : somme ; r_{out} : retenue sortante, r_{in} : retenue entrante ; a et b : 2 bits à additionner.

1°/ Donner le logigramme de l'additionneur complet en utilisant 2 demi- additionneurs.

2°/ On désire additionner les deux nombres A = (14)₁₀ et B = (11)₁₀

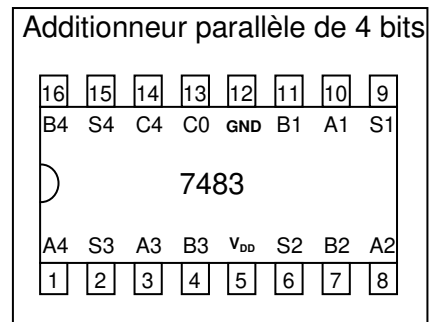
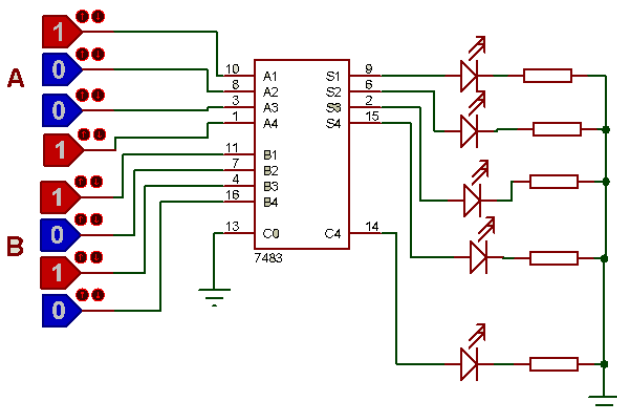
2-1°/ Réaliser en binaire l'opération A + B

2-2°/ Compléter la structure série ci-dessous réalisant l'addition de A et B



Exercice N°3 :

Colorer les diodes allumées pour le circuit suivant :



A = (.....)₂ ; B = (.....)₂ ;

S = (.....)₂

Exercice N°4 :

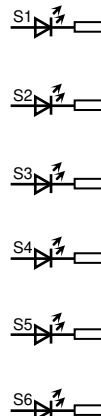
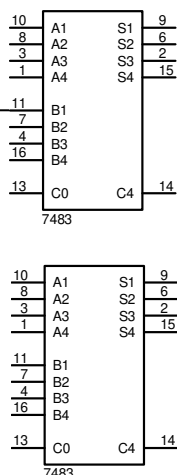
Soit deux nombres : A = 11001₍₂₎ et B = 11110₍₂₎

1°) Calculer A + B

2°) Compléter les liaisons nécessaires pour réaliser l'opération précédente avec deux circuits intégrés 7483.

Colorier les LED allumées.

5V 0V



0V

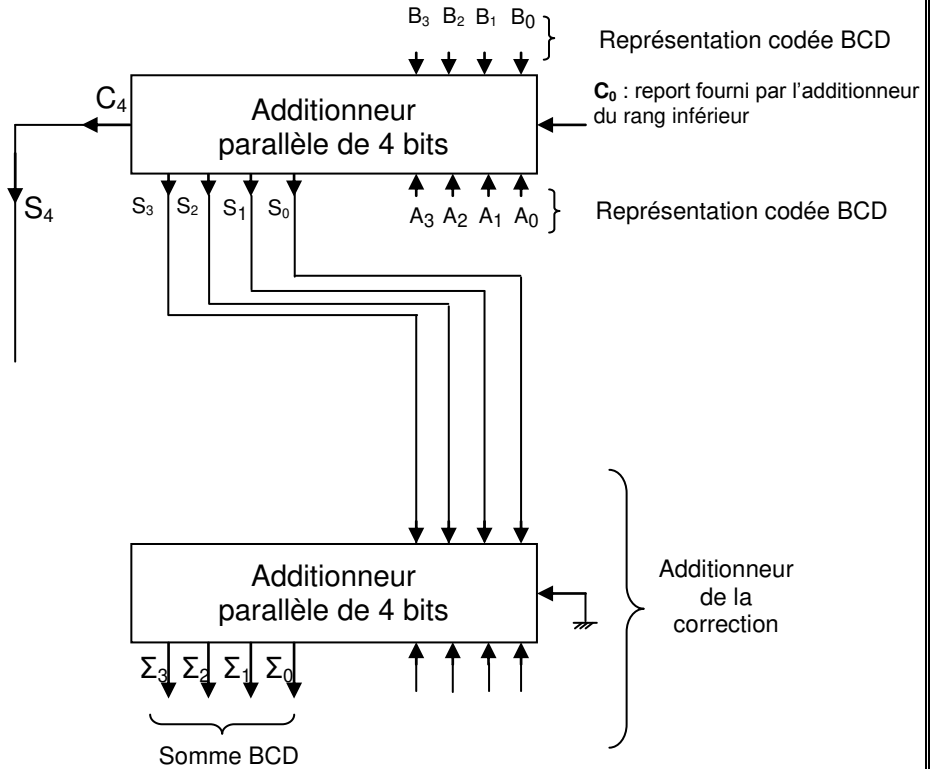
Exercice N°5- Etude d'un additionneur BCD :

On donne le schéma d'un additionneur BCD incomplet.

Soit X une sortie logique qui occupera le niveau haut seulement quand la somme est supérieure à 1001
 1°) donner l'équation de X.

$X = S_4 + \dots$

	S ₄	S ₃	S ₂	S ₁	S ₀
10	0	1	0	1	0
11	0	1	0	1	1
12	0	1	1	0	0
13	0	1	1	0	1
14	0	1	1	1	0
15	0	1	1	1	1
16	1	0	0	0	0
17	1	0	0	0	1
18	1	0	0	1	0



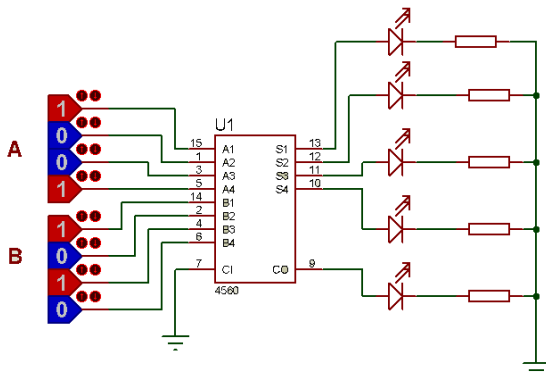
2°) Compléter le schéma du montage

Exercice N°6 :

Le circuit intégré 4560 est un additionneur BCD 1 digit.

Colorer les diodes allumées pour le circuit suivant :

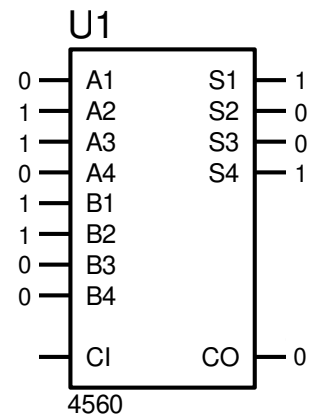
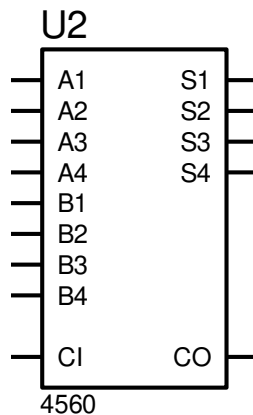
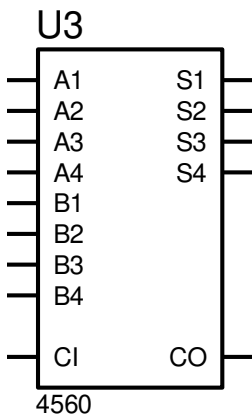
CI : retenue à l'entrée
 Co : retenue à la sortie



A = (.....)_{BCD} ; B = (.....)_{BCD} ;
 S = (.....)_{BCD}

Exercice N°7 : Addition BCD de trois digits

On veut additionner les deux nombres décimaux A et B tel que A = 286 et B = 973
 Compléter sur le schéma suivant les 0, les 1 et les liaisons manquantes.



Exercice N°9 :

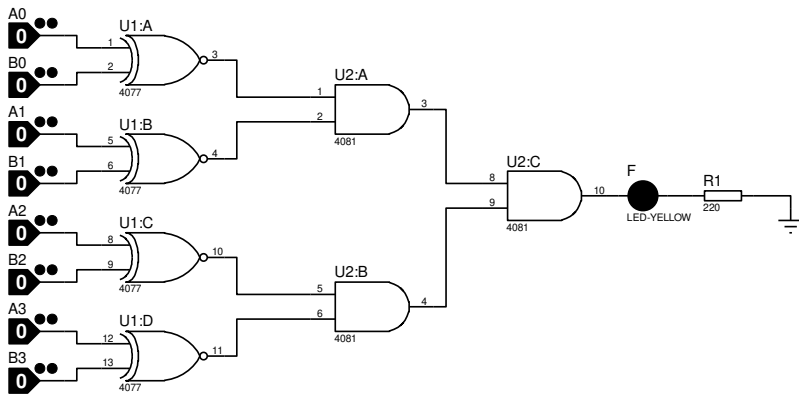
Afin de comparer deux mots binaires de 4bits, on utilise le circuit 7485 ; à partir du document technique (Voir dossier technique) compléter le tableau suivant :

A	B	Entrées cascadables			sorties		
		A<B	A=B	A>B	A<B	A=B	A>B
1100	0111	0	1	0			
1100	1111	0	0	0			
1100	1100	0	1	0			
1100	1100	0	0	0			
1100	0100	1	0	0			
1101	1101	1	0	0			

Exercice N°10 :

1°) Soit le logigramme d'une fonction logique F qui dépend de deux nombres A et B tel que :

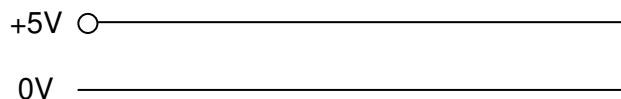
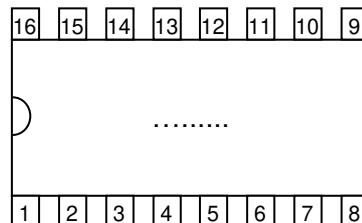
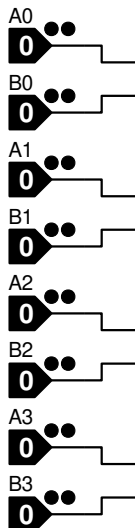
$A = A_3A_2A_1A_0$ et $B = B_3B_2B_1B_0$

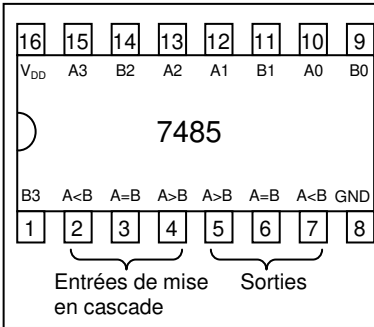


a) Etablir l'équation de F.

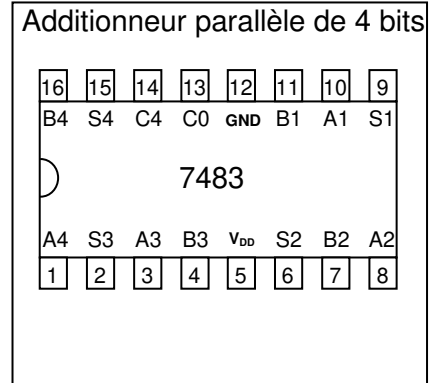
b) Quand F est égale à 1?

2°) En se référant au fiches techniques « voir page suivante » réaliser la fonction F en utilisant le circuit intégré qui convient (indiquer la référence du circuit).



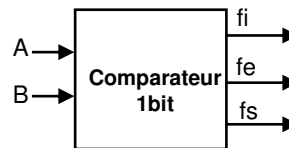


Comparateur de 2 mots binaires de 4 bits.
 Lorsque le 7485 est employé seul, les entrées de mise en cascade sont connectées comme suit :
 (A<B) = niveau bas,
 (A=B) = niveau haut,
 (A>B) = niveau bas



Exercice N°11 : Comparateur 1bit :

C'est un circuit combinatoire qui permet de comparer entre deux nombres binaires A et B.
 Il possède 2 entrées: A et B.
 Il possède 3 sorties:
 - fe : égalité (A=B)
 - fi : inférieur (A<B)
 - fs : supérieur (A>B)



Comparateur 2 bits avec des comparateur 1bit :

Réaliser un comparateur 2 bits en utilisant 2 comparateurs 1 bits, 3 portes ET à 2 entrées et 2 portes OU à 2 entrées.

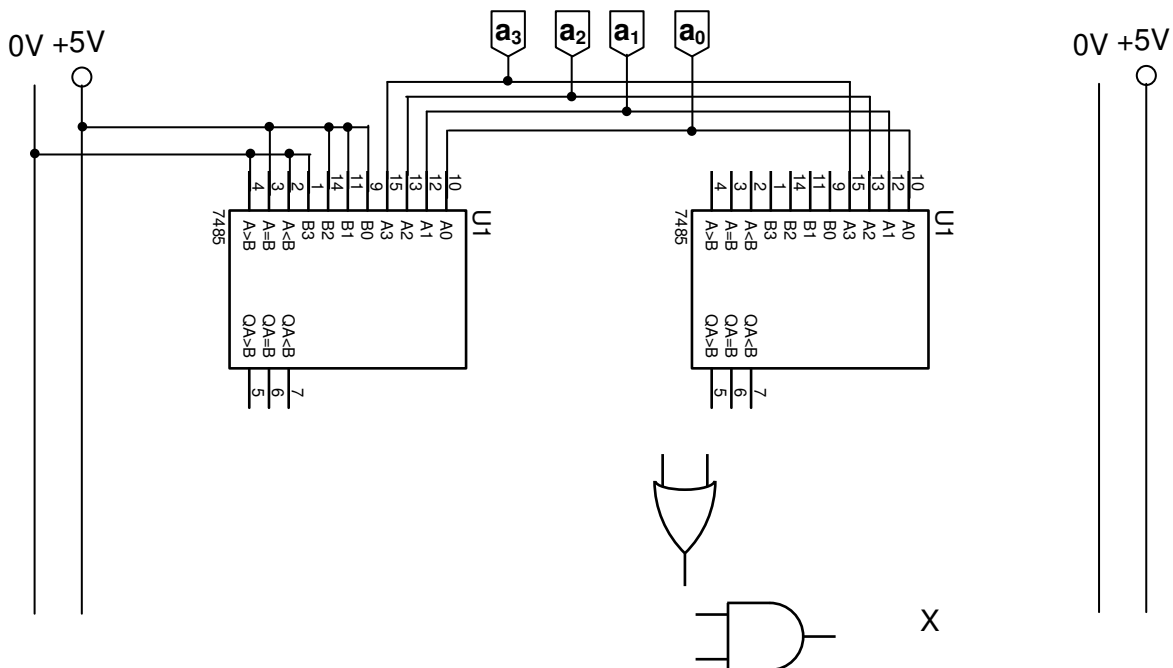


Exercice N°12 :

On désire concevoir une variable de sortie X qui satisfait les conditions suivantes :

$X = 1$ si $7 < A \leq 14$, si non $X = 0$ A étant un nombre binaire $[A=a_3a_2a_1a_0]$

- Fournir une solution en utilisant les circuits 7485 [comparateur 4 bits], 7432 et 7408

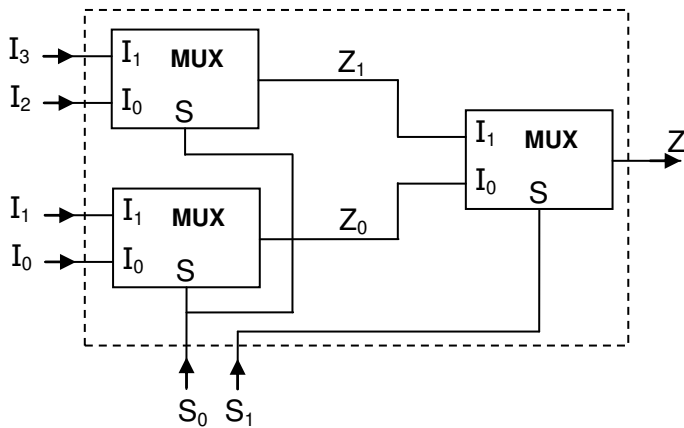


Exercice N°13 :

1°) Compléter les tables de vérités relatives au circuit suivant :

S_0	Z_0
0	I_0
1	..

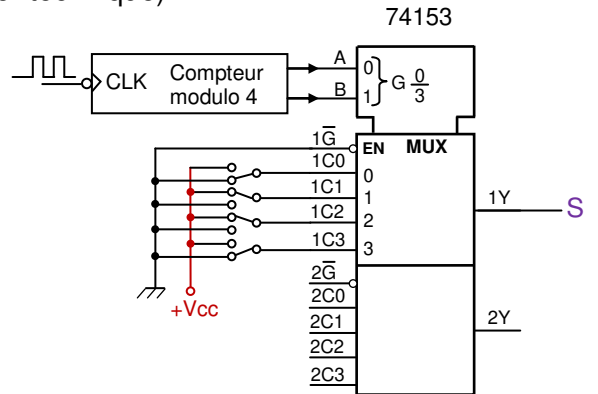
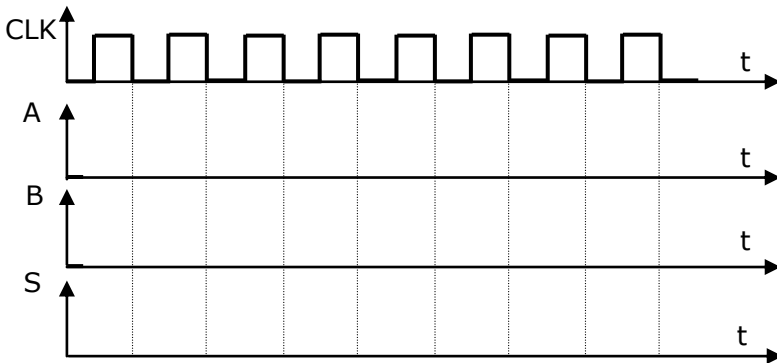
S_1	S_0	Z_0	Z_1	Z
0	0	I_0	I_2	
0	1			
1	0			
1	1			



2°) Déduire la fonction réalisée par ce circuit :

Exercice N°14 :

On donne le circuit ci-contre, utilisant le C.I 74153 (Voir dossier technique). Tracer les chronogrammes de A, B et S.



Exercice N°15 :

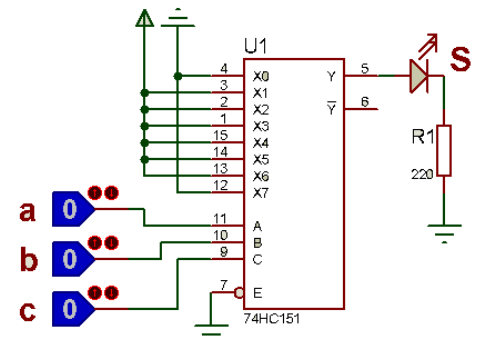
On désire réaliser une fonction logique S à trois variables en utilisant un multiplexeur 8 vers 1 « 74151 » (Voir dossier technique)

Compléter la table de vérité et déduire l'équation logique simplifiée de la sortie S :

Simplifiée de la sortie S :

S =

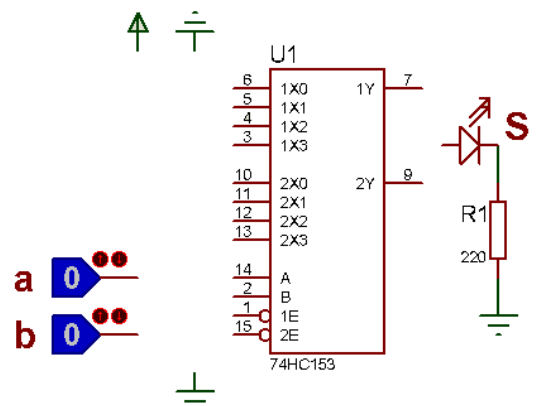
c	b	a	S
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



Exercice N°16 :

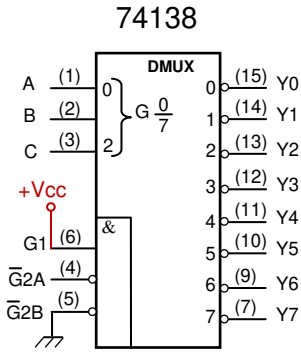
Proposer un schéma réalisant la fonction NAND à deux entrées à l'aide d'un multiplexeur 4 vers 1 de référence 74153 (Voir dossier technique)

b	a	S



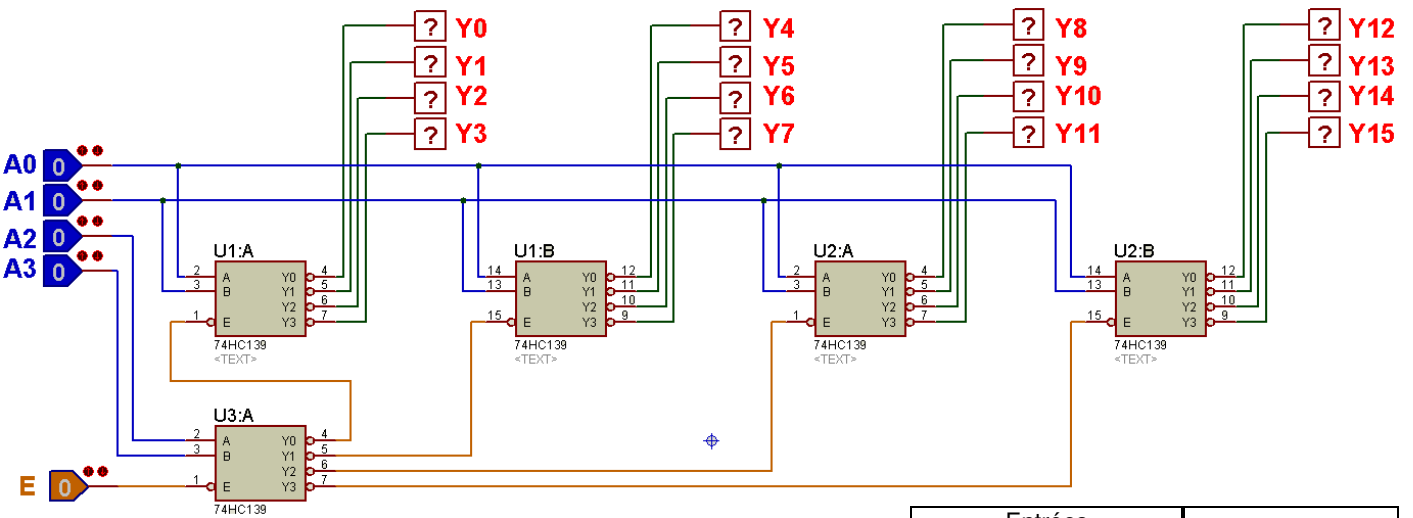
Exercice N°17 :

On donne le circuit 74138
(Voir dossier technique).
Tracer les chronogrammes
des sorties Yi.



Exercice N°18 :

On donne le circuit suivant :
1°) compléter la table de fonctionnement correspondant.



2°) Déduire la fonction réalisée par ce circuit :

.....

Entrées				Sortie active
A3	A2	A1	A0	
0	0	0	0	Y0
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Exercice N°19 :

En se référant à la fiche technique du circuit intégré 74LS181 « voir ci-dessous »

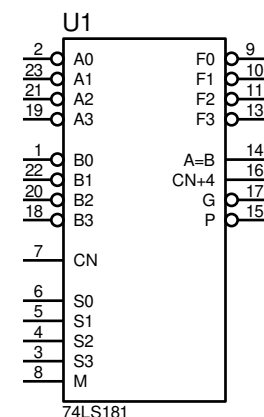
1 - Compléter le tableau suivant :

Entrée de sélection S3S2 S1 S0	M	Cn	A A3A2A1A0	B B3B2B1B0	Opération réalisée	F F ₃ F ₂ F ₁ F ₀
1 0 0 0	0	1	1 1 0 1	1 1 0 0	$F = A + A \text{ et } B$	1 0 0 1
0 0 0 1	1	X	1 1 0 1	1 0 0 1		
0 1 0 1	1	X	1 0 0 1	0 1 1 0		
0 1 1 0	1	X	1 0 0 1	0 1 0 1		
1 1 0 1	0	1	0 1 0 1	1 0 0 1		
0 1 1 1	0	1	1 1 0 1	1 0 1 1		
0 1 0 0	1	X	0 1 0 1	1 0 0 1		
1 0 1 1	1	X	1 1 0 0	1 0 0 1		
1 1 1 1	0	0	1 1 0 0	1 0 0 1	$F = A$	1 1 0 0

2 – Si $(S3 S2 S1 S0) = (1 0 0 1)$; et $M=1$ écrire l'équation de $F0$ en fonction de $A0$ et $B0$ avec des opérateurs NAND à deux entrées.

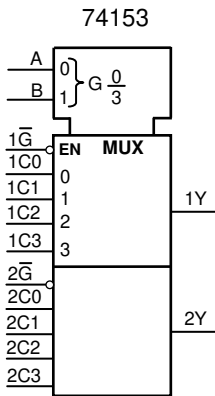
Fiche technique du circuit 74LS181

Sélection				Données activées au niveau haut		
				M = 1	M = 0 (Opération arithmétique)	
S3	S2	S1	S0	Opération logique	Cn = 1	Cn = 0
0	0	0	0	F = non A	F = A	F = A + 1
0	0	0	1	F = non (A ou B)	F = A ou B	F = (A ou B) + 1
0	0	1	0	F = (non A) et B	F = A ou (non B)	F = (A ou (non B)) + 1
0	0	1	1	F = 0	F = - 1	F = 0
0	1	0	0	F = non (A et B)	F = A + (A et (non B))	F = A + (A et (non B)) + 1
0	1	0	1	F = non B	F = (A ou B) + (A et (non B))	F = (A ou B) + (A et (non B)) + 1
0	1	1	0	F = A xor B	F = A - B - 1	F = A - B
0	1	1	1	F = A et (non B)	F = (A et (non B)) - 1	F = A et (non B)
1	0	0	0	F = (non A) ou B	F = A + (A et B)	F = (A + (A et B)) + 1
1	0	0	1	F = non (A xor B)	F = A + B	F = A + B + 1
1	0	1	0	F = B	F = (A ou (non B)) + (A et B)	F = A ou (non B) + (A et B) + 1
1	0	1	1	F = A et B	F = (A et B) - 1	F = A et B
1	1	0	0	F = 1	F = A + A	F = A + A + 1
1	1	0	1	F = A ou (non B)	F = (A ou B) + A	F = (A ou B) + A + 1
1	1	1	0	F = A ou B	F = (A ou (non B)) + A	F = (A ou (non B)) + A + 1
1	1	1	1	F = A	F = A - 1	F = A



Dossier technique

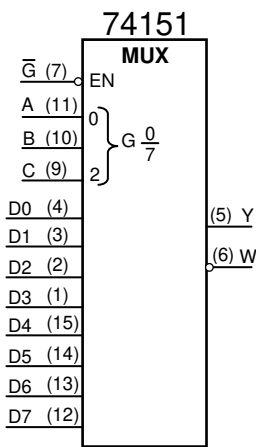
MULTIPLEXEUR INTÉGRÉ À 4 VOIES : LE 74153



Entrées							Sortie
B	A	C0	C1	C2	C3	\overline{G}	Y
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
0	1	X	0	X	X	0	0
0	1	X	1	X	X	0	1
1	0	X	X	0	X	0	0
1	0	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1

Table de vérité du circuit intégré 74153.

MULTIPLEXEUR INTÉGRÉ À 8 VOIES : LE 74151



Entrées				Sorties	
SELECT.			STROBE	Y	W
C	B	A	\overline{G}		
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

DEMUTIPLEXEUR INTÉGRÉ 1 vers 4 : LE 74139

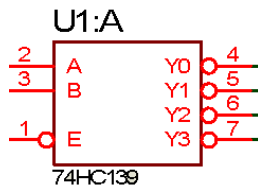
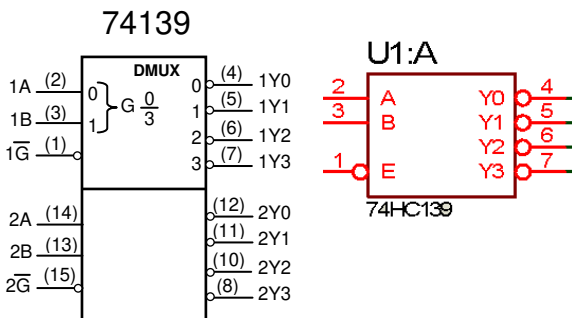
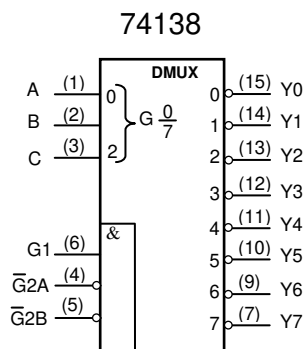


Tableau de fonctionnement

Valid.	Entrées		SORTIES			
	SELECT.		Y0	Y1	Y2	Y3
G	B	A				
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

DEMUTIPLEXEUR INTÉGRÉ 1 vers 8 : LE 74138

Tableau de fonctionnement



Entrées						Sorties							
Valid.			SELECT.										
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	H	L	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	L	H