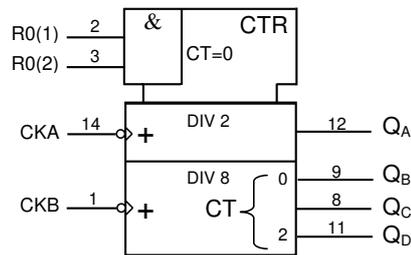


FICHES TECHNIQUES DE QUELQUES CIRCUITS INTEGRES

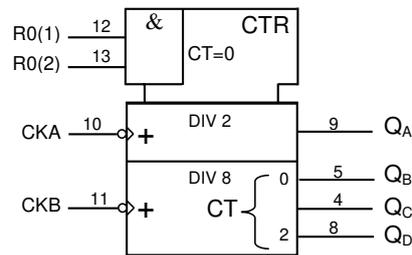
Compteur binaire asynchrone 4 bits **7493 - 74293**

7493

74293

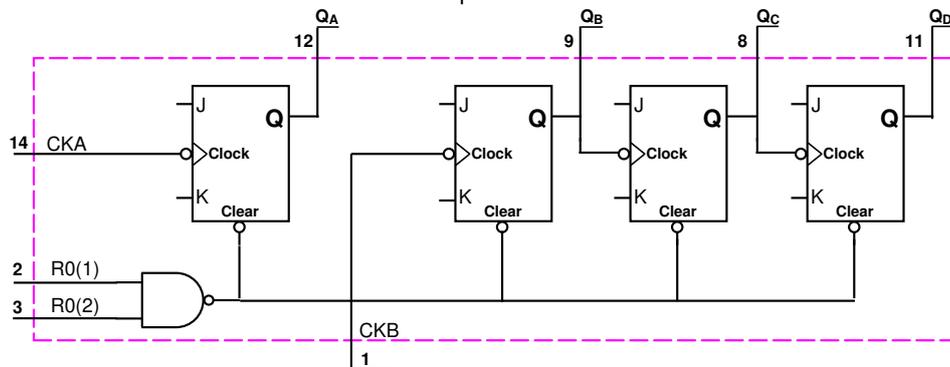


Boîtier DIL 14
V_{CC} 5 – GND 10



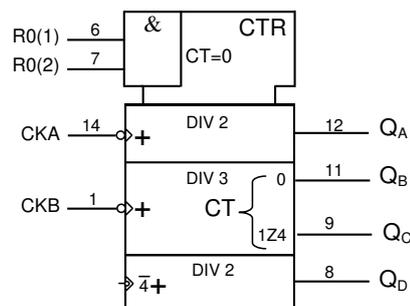
Boîtier DIL 14
V_{CC} 14 – GND 7

Le fonctionnement de ces deux compteurs est identique seul le brochage est différent
Le Schéma interne du compteur 7493 est comme suit

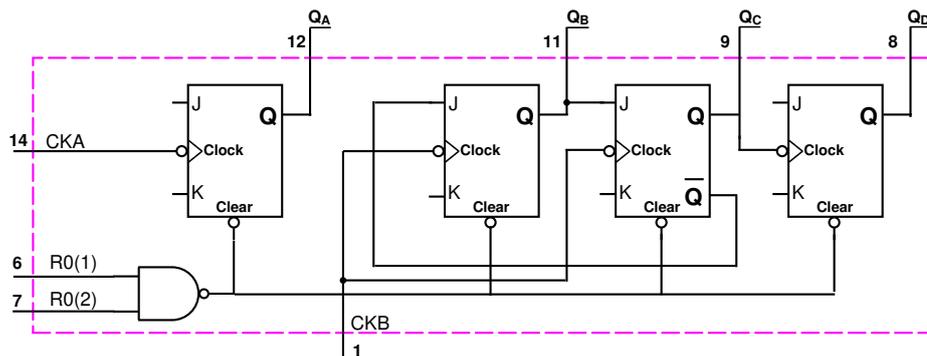


N.B Les entrées J et K sont à l'état logique 1 une fois que le circuit est alimenté

Compteur binaire asynchrone 4 bits **7492**



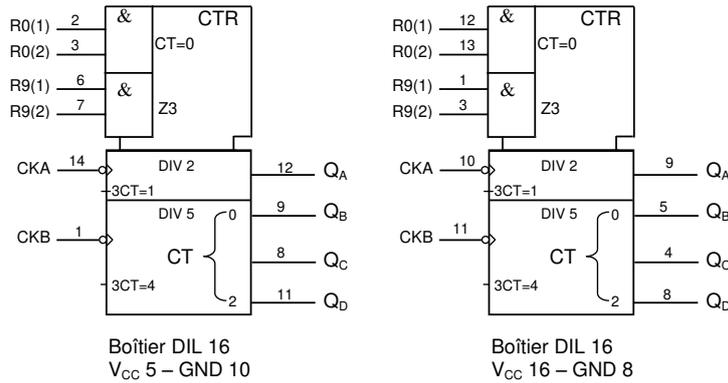
Le Schéma interne du compteur 7492 est comme suit



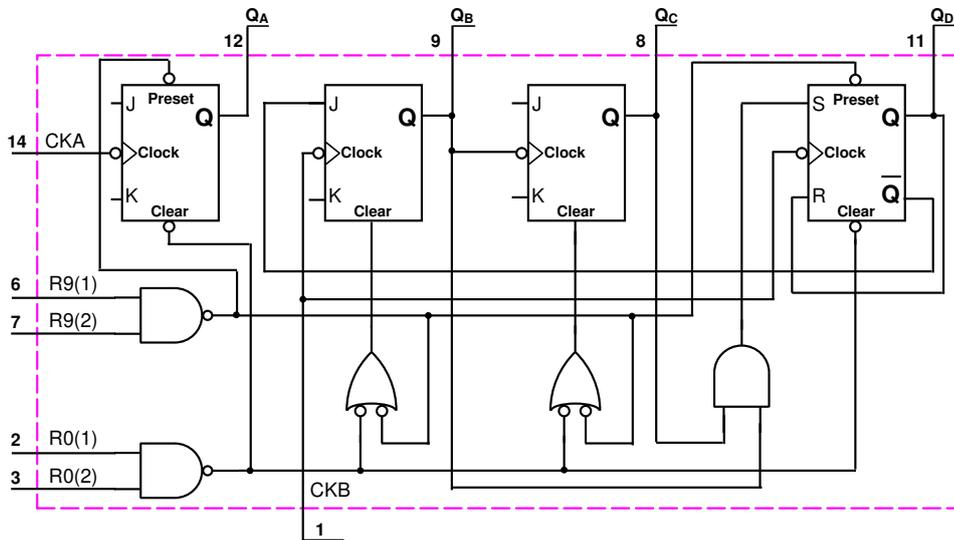
N.B Les entrées J et K sont à l'état logique 1 une fois que le circuit est alimenté

Compteur asynchrone 4 bits 7490 - 74290

Le fonctionnement de ces deux compteurs est identique seul le brochage est différent



Le Schéma interne du compteur 7490 est comme suit



N.B Les entrées J et K sont à l'état logique 1 une fois que le circuit est alimenté

Tables de fonctionnement communes aux deux compteurs **7490 - 74290**

Pour Comptage **BCD**, relier la sortie **Q_A** à l'entrée **CKB**

Pour Comptage biquinaire (5-2) relier la sortie **Q_D** à l'entrée **CKA**

Table de fonctionnement des « Resets »

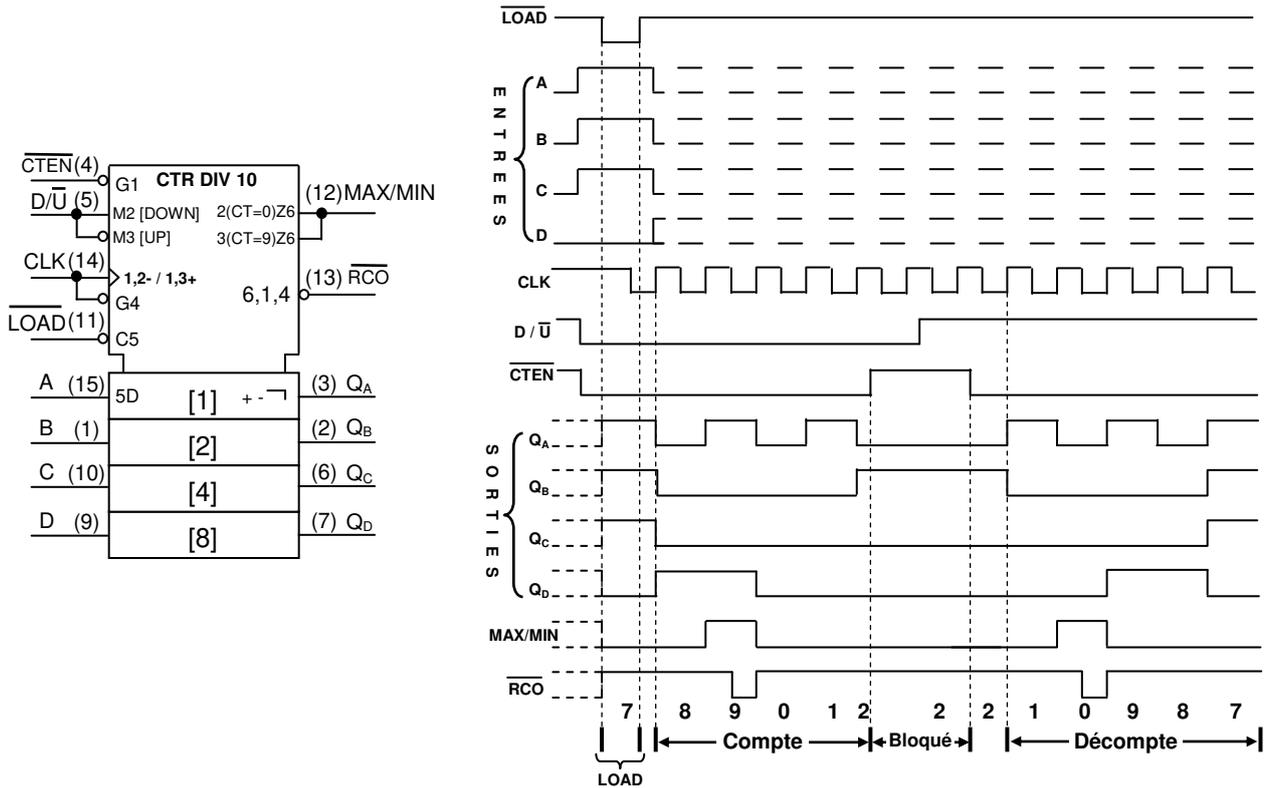
Compte	Sortie			
	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Compte	Sortie			
	Q _A	Q _D	Q _C	Q _B
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0

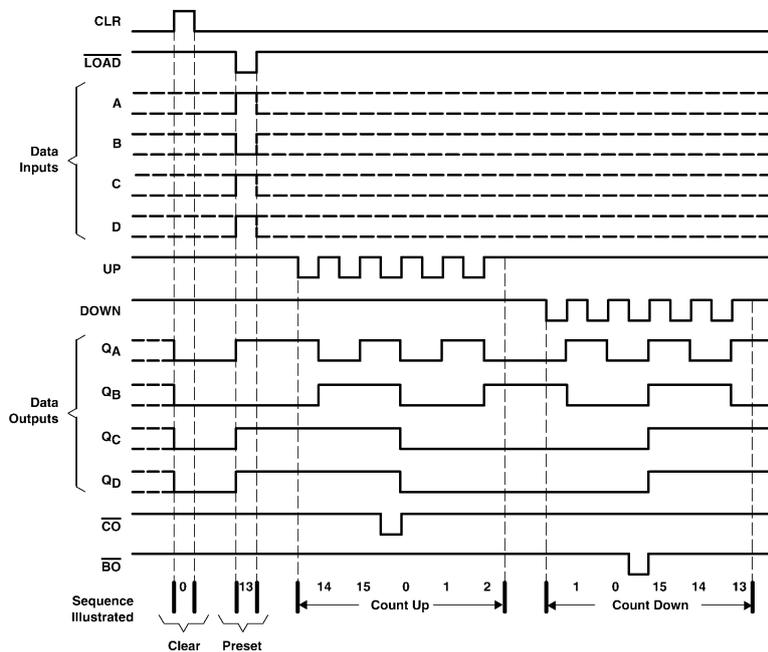
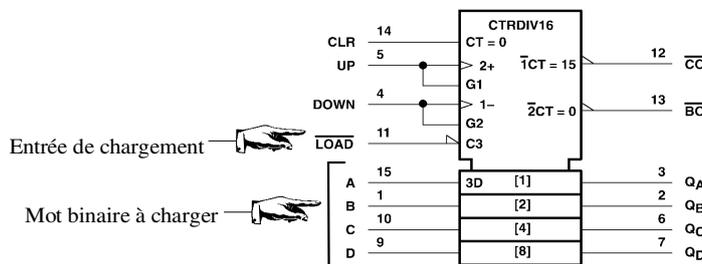
Entrées Reset				Sorties			
R ₀ (1)	R ₀ (2)	R ₉ (1)	R ₉ (2)	Q _D	Q _C	Q _B	Q _A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	Compte			
0	X	0	X	Compte			
0	X	X	0	Compte			
X	0	0	X	Compte			

N.B X : Quelque soit le niveau logique 0 ou 1

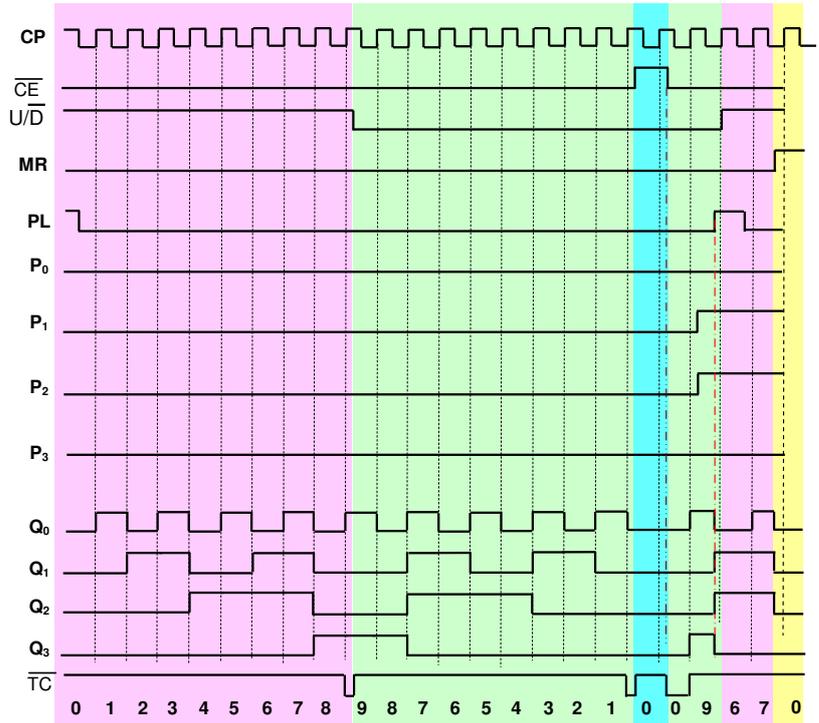
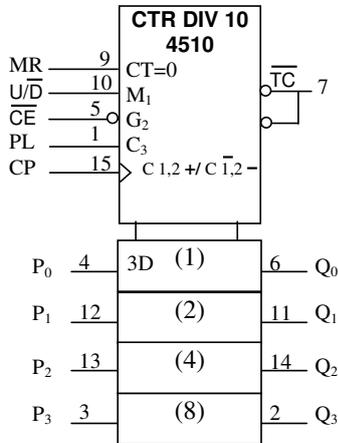
Compteur – décompteur BCD synchrone 74190



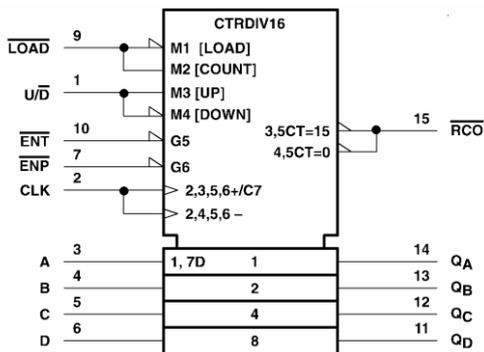
Compteur – décompteur binaire synchrone 4 bits avec 2 horloges et RAZ 74193



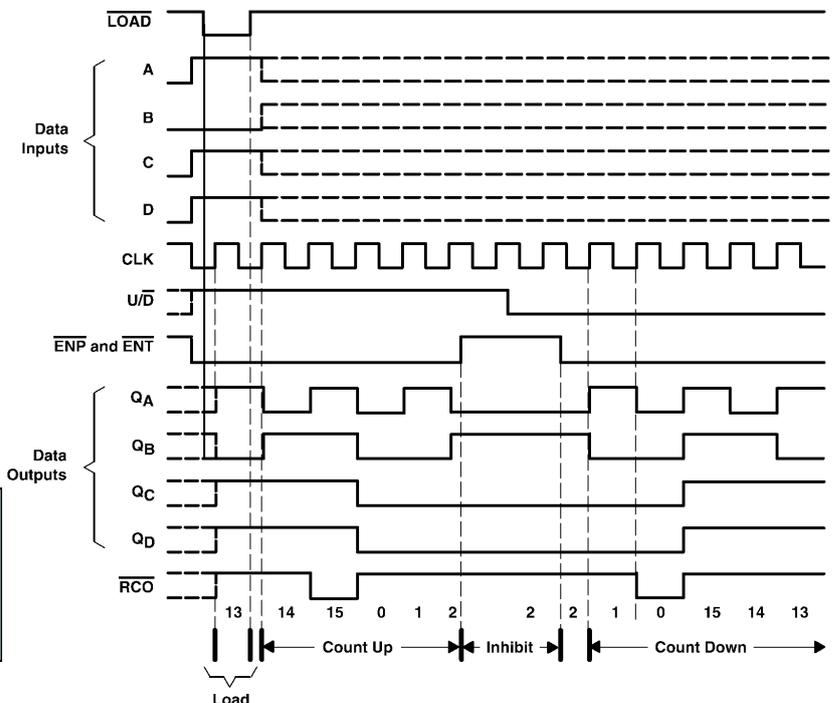
Compteur – décompteur BCD 4510



Compteur – décompteur binaire synchrone 4 bits Programmable 74169



“C7” agit sur “7D” et permet de faire un chargement sur front d’horloge lorsque “M1” est active.



Compteur prépositionnable 74ALS169 (chargement synchrone)

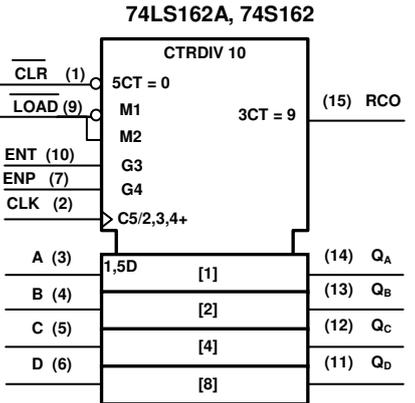
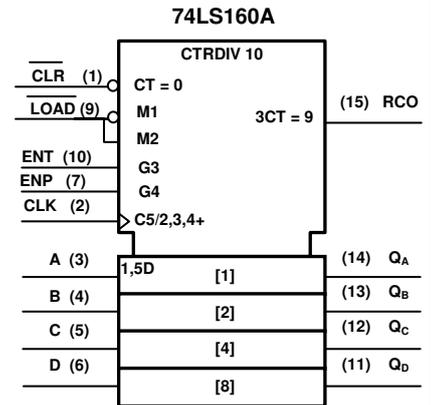
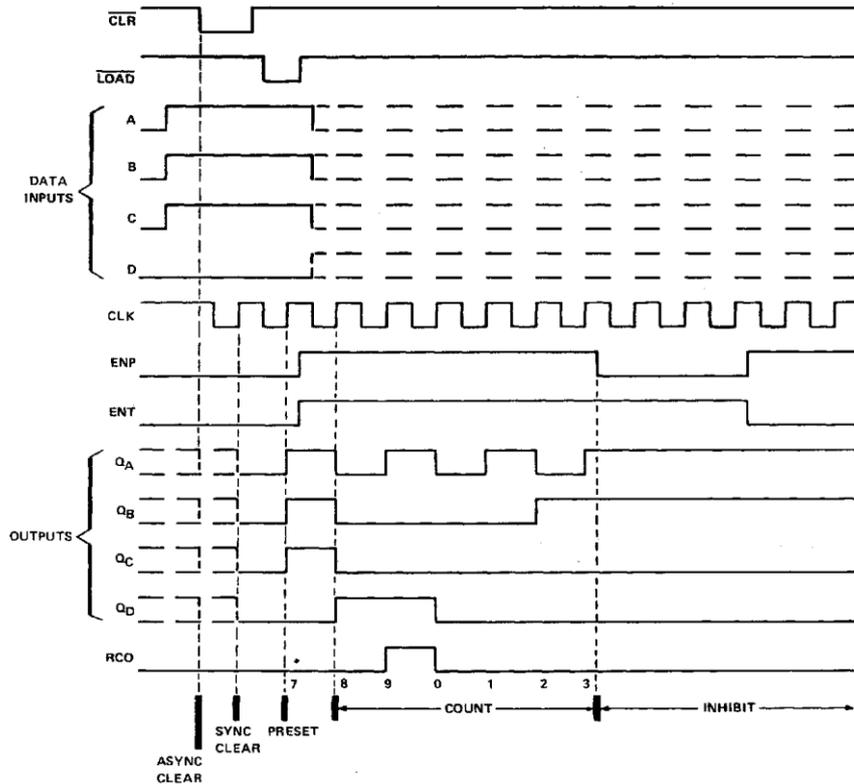
Remarque : Le fonctionnement de la remise à zéro peut être aussi quelque fois synchrone.

74160, 74162, 74LS160A, 74LS162A, 74S162 DECADE COUNTERS

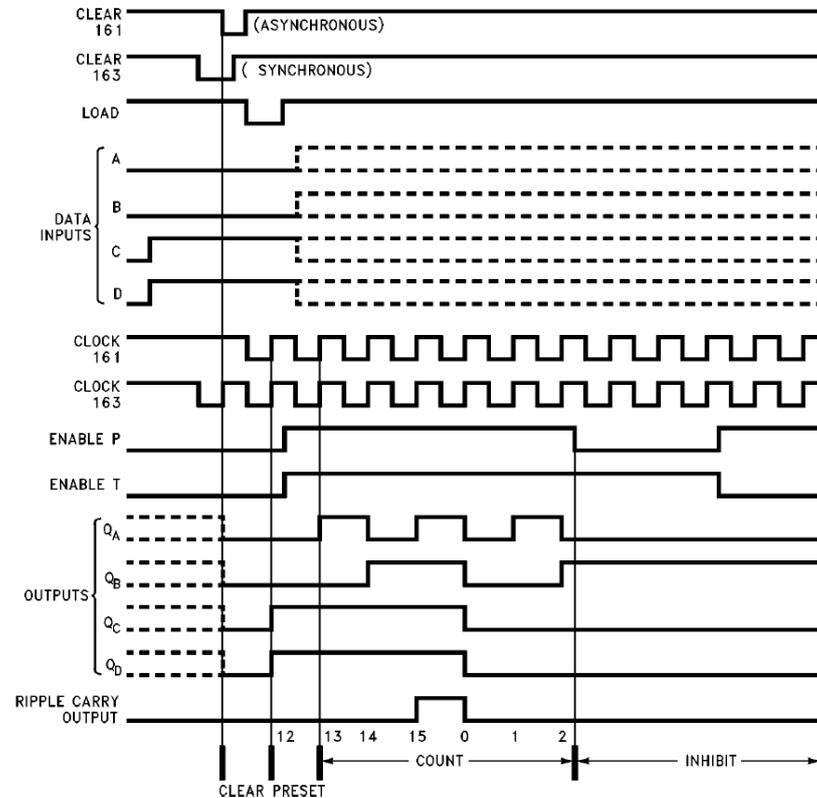
Typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence:

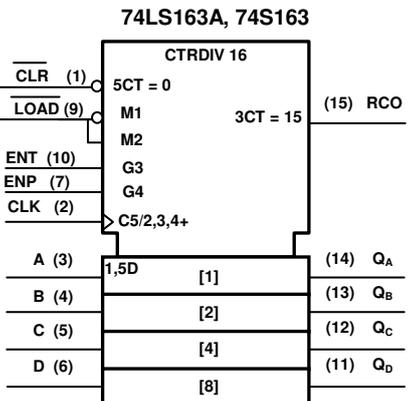
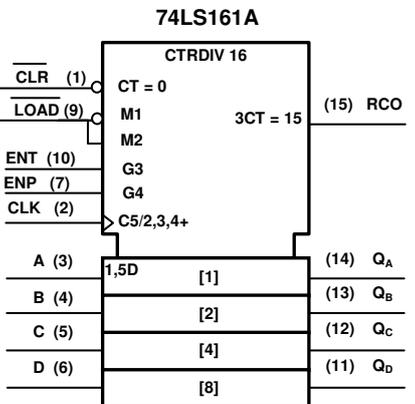
- (1) Clear outputs to zero (74160 and 74LS160A are asynchronous; 74162, 74LS162A and 74S162 are synchronous)
- (2) Preset to BCD seven
- (3) Count to eight, nine, zero, one, two, and three
- (4) Inhibit



161, 163 Synchronous Binary Counters
Typical Clear, Preset, Count and Inhibit Sequences



- (1) Clear outputs to zero
- (2) Reset to binary twelve
- (3) Count to thirteen, fourteen, fifteen, zero, one and two
- (4) Inhibit



Fiche technique du compteur 4029

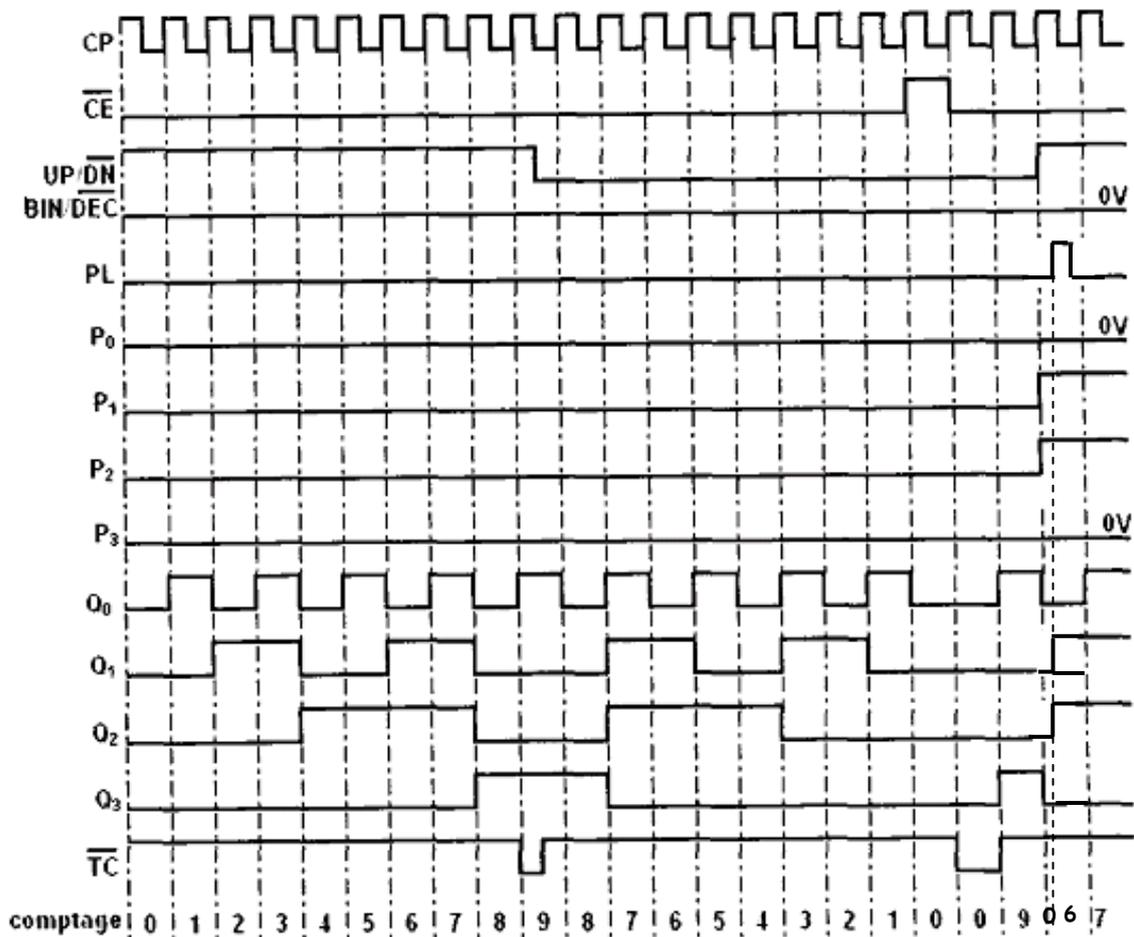
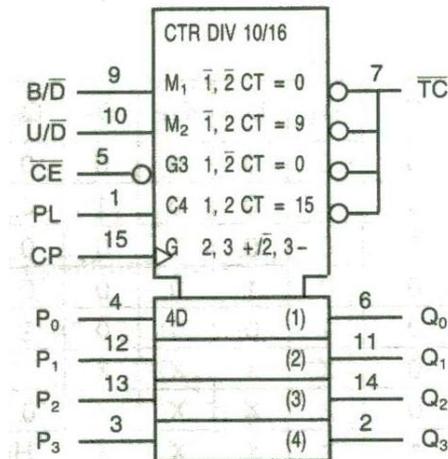


Tableau de fonctionnement du compteur HEF 4029 B					
PL	BIN/DEC	UP/DN	CE	CP	MODE
H	X	X	X	X	Chargement parallèle
L	X	X	H	X	Sans chargement
L	L	L	L	↑	Décomptage décimal
L	L	H	L	↑	Comptage décimal
L	H	L	L	↑	décomptage binaire
L	H	H	L	↑	Comptage binaire

X : Etat indifférent

H : 1 logique

L : 0 logique

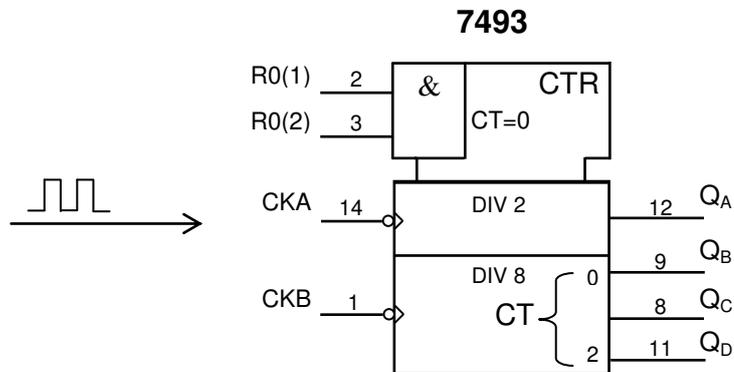
BIN : Mode de comptage binaire

DEC : Mode de comptage décimal

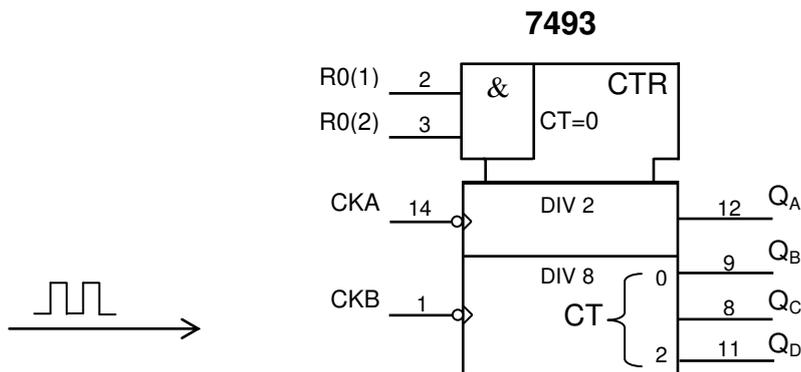
Exercice N°1 : (Compteurs asynchrones en Circuits intégré) (voir dossier technique du CI 7493)

Compléter les deux schémas de câblage afin de réaliser un compteur modulo 12 en indiquant chaque fois le bit de faible poids par (**LSB**) et le bit de fort poids par (**MSB**).

a - 1^{ère} solution : Le signal d'horloge est appliqué à l'entrée CLKA:

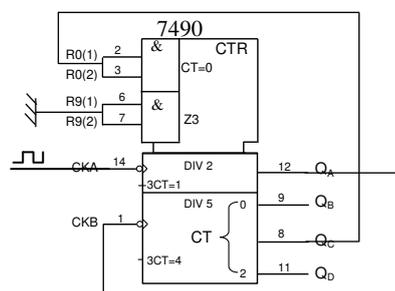


b - 2^{ème} solution : Le signal d'horloge est appliqué à l'entrée CLKB:

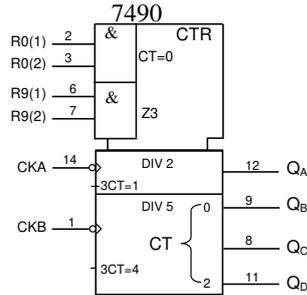
**Exercice N°2 : (Compteurs asynchrones en Circuits intégré)**

(voir dossier technique du CI 7490)

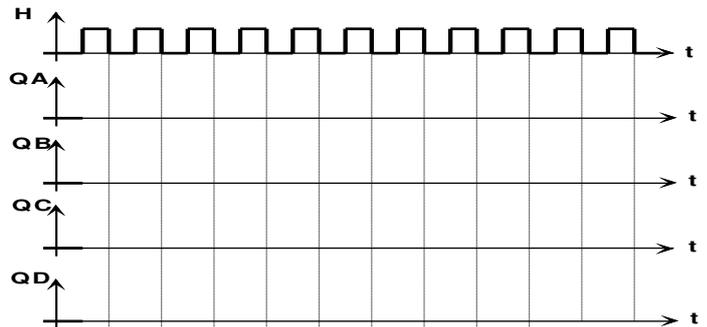
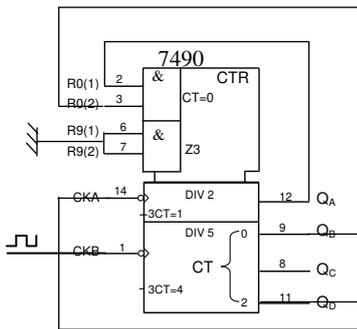
1°) Quel est le comptage réalisé par ce circuit.



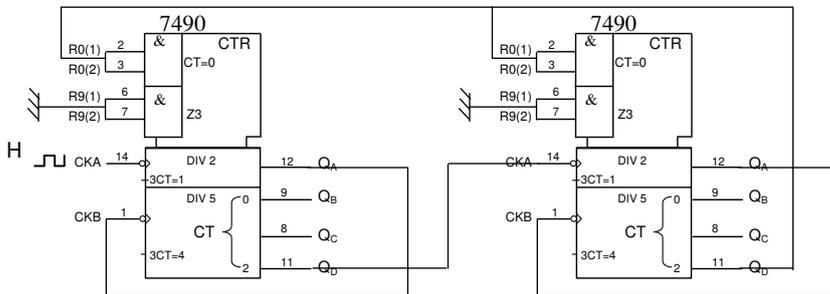
2°) Réaliser un compteur modulo 9 avec le CI 7490



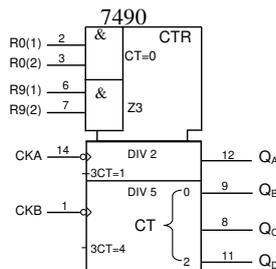
3°) Soit le circuit suivant réalisé avec le CI 7490 compléter les chronogrammes



4°) Quel est le comptage réalisé par ce circuit :



5) Donner le schéma d'un compteur qui réalise **0-1-2-3-4-8-9-0** avec le CI 7490
 « Q_B est le L.S.B, Q_A est le M.S.B »

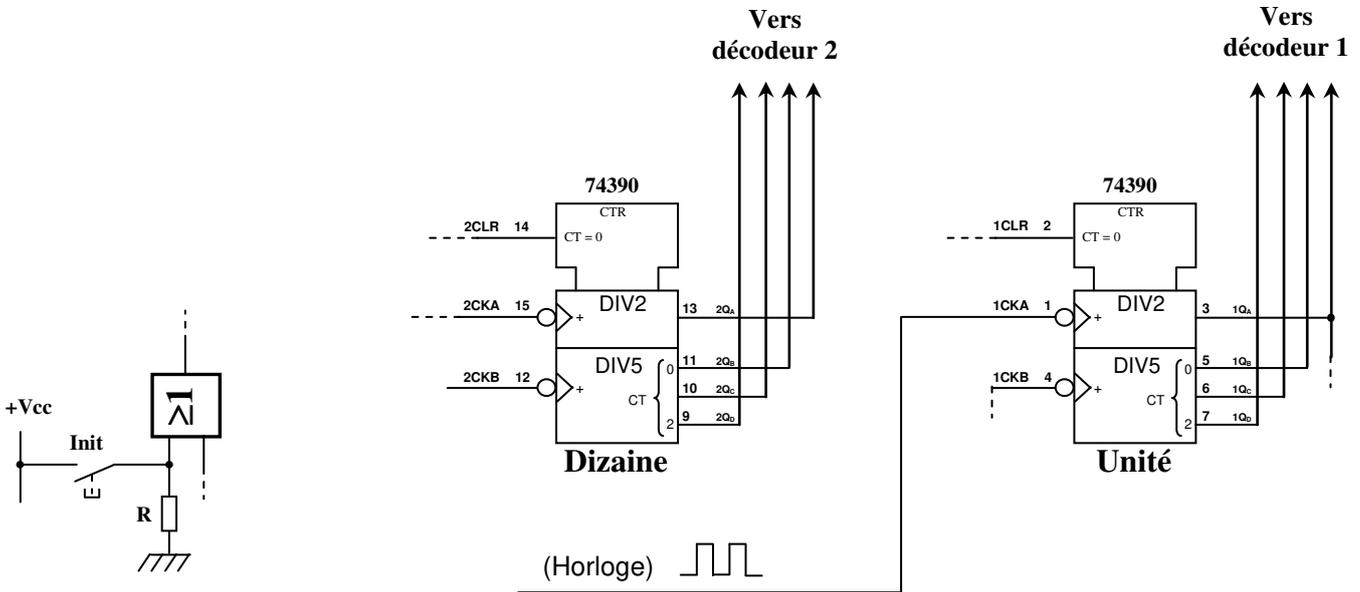


Exercice N°3 : (Circuit intégré 74390)

1- Compléter le schéma structurel ci-dessous pour avoir un compteur modulo 14, prévoir un bouton Init

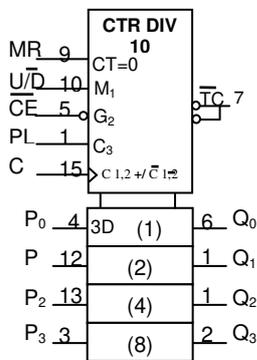
Donner l'équation de CLR en fonction des sorties des compteurs et le bouton Init

CLR =



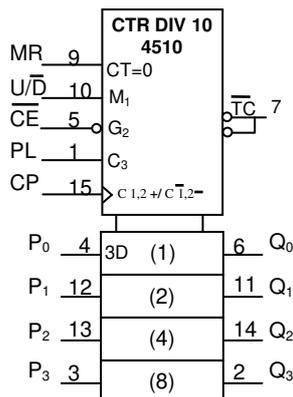
Exercice N°4 :

En utilisant le circuit intégré 4510(voir dossier technique) réaliser un compteur modulo 6.Prévoir un bouton d'initialisation. « état initial 0 »



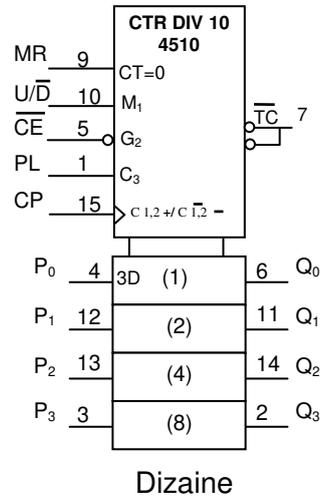
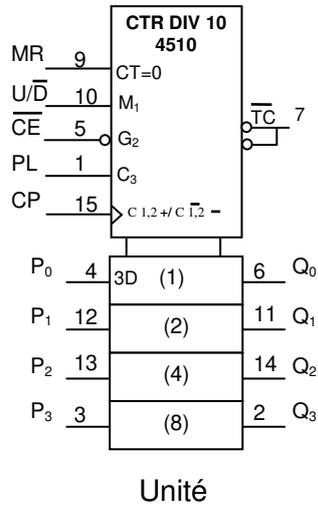
Exercice N°5 :

En utilisant le circuit intégré 4510(voir dossier technique) réaliser un décompteur modulo 9. Prévoir un bouton d'initialisation à 8

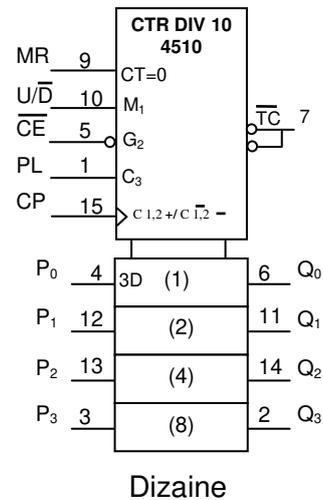
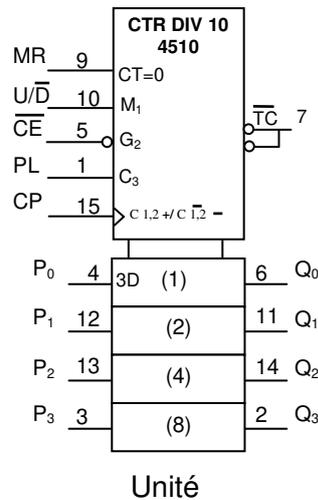


Exercice N°6 :

En utilisant 2 C.I. 4510 réaliser un compteur qui compte de 3 à 78. Prévoir un bouton d'initialisation à 3 (cascade synchrone) puis cascade asynchrone.



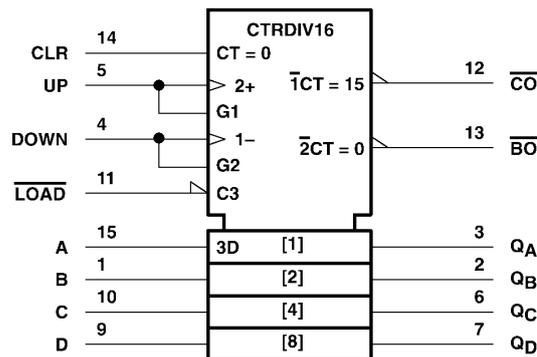
Cascade synchrone



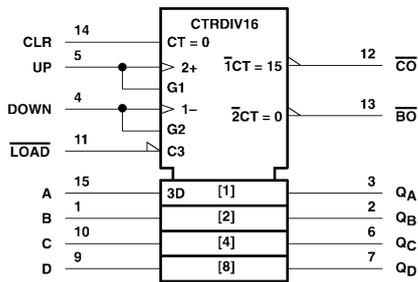
Cascade asynchrone

Exercice N°7 :

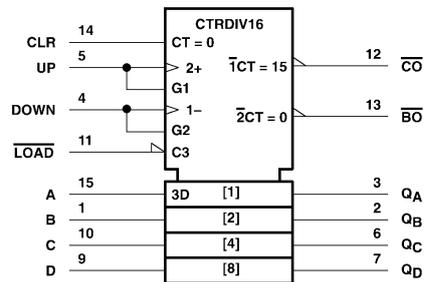
a- Réaliser un décompteur modulo 7 avec le CI 74193 (Voir dossier technique). Prévoir une entrée d'initialisation à 6.



b- Réaliser un compteur qui compte de 2 à 200 avec les CI 74193 .Prévoir une entrée d'initialisation à 2 (cascade asynchrone)

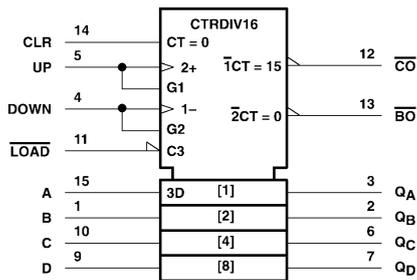


Circuit I

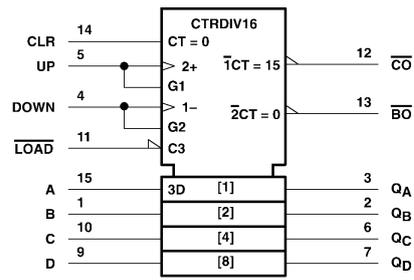


Circuit II

c- Réaliser un décompteur modulo 60 avec les CI 74193 .Prévoir une entrée d'initialisation.(cascade asynchrone)



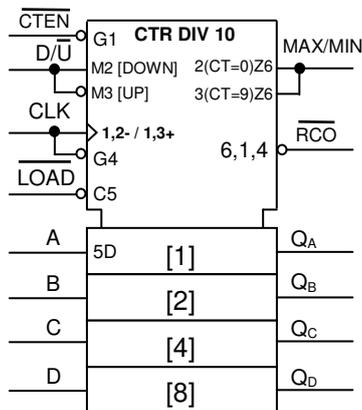
Circuit I



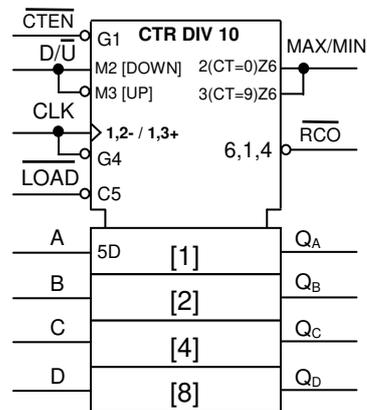
Circuit II

Exercice N°8 :

Compléter le schéma de câblage d'un compteur modulo 42 en utilisant 2 circuits 74190 (voir dossier technique) montés en cascade asynchrone et des portes NAND. Prévoir un bouton « Raz ».



Circuit I



Circuit II

Exercice N°9 :

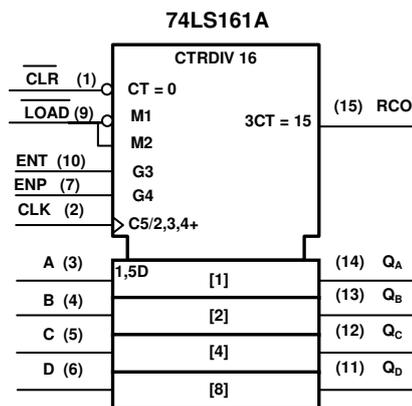
En se basant sur la notice technique du CI 74161 et le circuit 74162, compléter le tableau suivant :

1°)

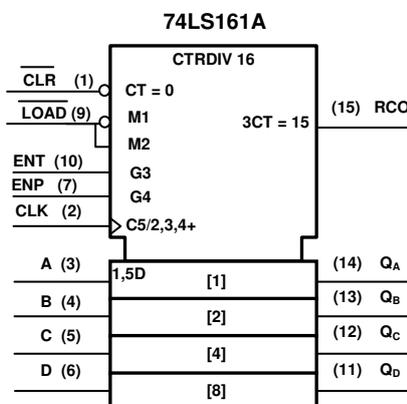
	Entrée $\overline{\text{CLR}}$		Entrée $\overline{\text{LOAD}}$	
	Vraie au niveau bas ou haut	Asynchrone ou synchrone	Vraie au niveau bas ou haut	Asynchrone ou synchrone
74161				
74162				

2°) Réaliser un compteur modulo 8 avec le circuit intégré 74161 proposer deux méthodes

1^{ère} méthode



2^{ème} méthode

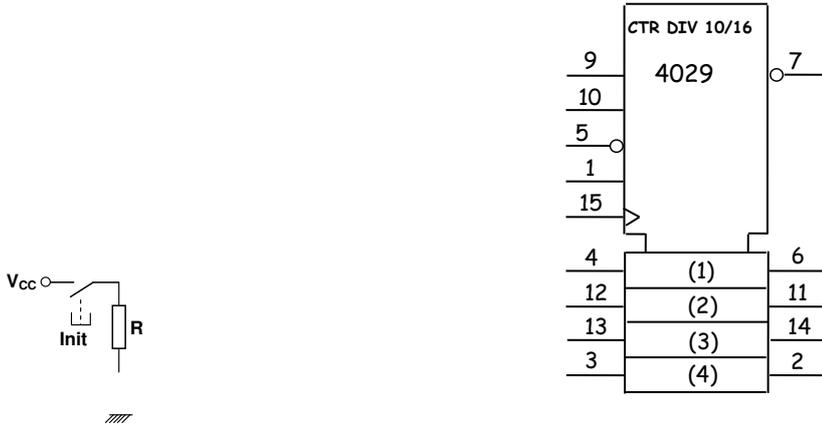


Exercice N°10 : En se référant au dossier technique du Circuit intégré 4029 ,

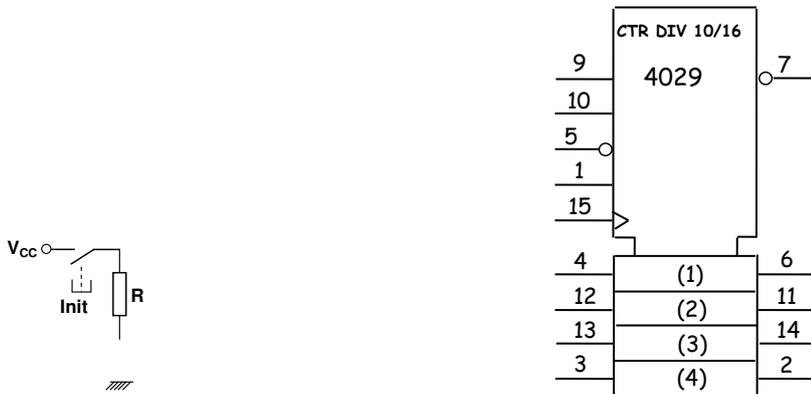
1°) Compléter le circuit de câblage pour avoir un compteur binaire modulo 13 de cycle :

1-2-3-4-5-6-7-8-9-10-11-12-13

Avec un bouton d'initialisation



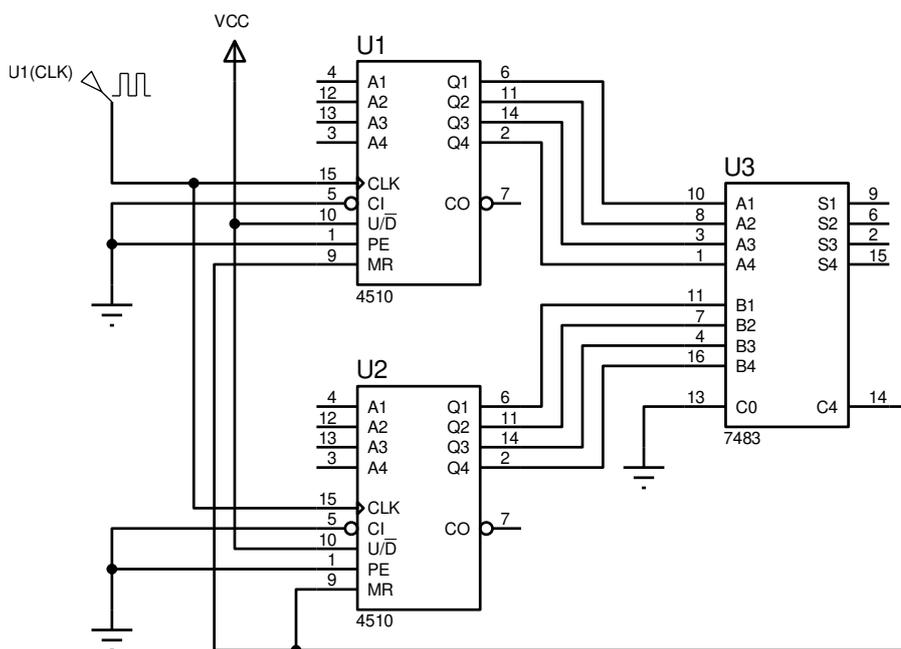
2°) Compléter le circuit suivant pour avoir un décompteur binaire de cycle 12-11-10-9-8-7-6-5-4-3-2-1-0 avec un bouton d'initialisation



Exercice N°11 :

Le circuit suivant est réalisé avec les CI 4510 et le CI 7483 (voir dossier technique). Quel est le comptage réalisé par les circuits U1 et U2 ?

- Comptage réalisé par U1
- Comptage réalisé par U2



Exercice N°12 :

En se référant au dossier technique du CI 74190 et pour D C B A = 0 0 1 1
Compléter les chronogrammes suivants :

